

PAT-NO: JP405335578A

DOCUMENT-IDENTIFIER: JP 05335578 A

TITLE: MANUFACTURE OF THIN FILM TRANSISTOR

PUBN-DATE: December 17, 1993

INVENTOR-INFORMATION:

NAME

OGAWA, KOICHI

ASSIGNEE-INFORMATION:

NAME

CASIO COMPUT CO LTD

COUNTRY

N/A

APPL-NO: JP04166672

APPL-DATE: June 3, 1992

INT-CL (IPC): H01L029/784, H01L021/28 , H01L029/40 ,
H01L021/314 , H01L021/318

US-CL-CURRENT: 257/411

ABSTRACT:

PURPOSE: To thin the thickness in a specified section of a gate insulating film excellently in controllability and easily, and form a contact hole easily as expected.

CONSTITUTION: A lower-layer gate insulating film 3 consisting of a silicon oxide, an upper gate insulating film 4 consisting of silicon nitride, and thin a film 5 for formation of a gate electrode are stacked in this order all over a semiconductor film 2. And, with a photoresist pattern 6 as a mask, the film 5

for formation of a gate electrode is removed by dry etching, and next, with the lower-layer gate insulating film 3 as an etching stopper, only the upper-layer gate insulating film 4 is removed. Also in case of forming a contact hole in a relatively thick passivation film consisting of silicon nitride by dry etching, only the passivation film is removed, with the lower-layer gate insulating film 3 as an etching stopper. In case of forming a contact hole in the relatively thin lower layer gate insulating film 3, it is performed by wet etching.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-335578

(43)公開日 平成5年(1993)12月17日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
21/28	L	9055-4M		
29/40	A	9055-4M		
		9056-4M	H 0 1 L 29/ 78	3 1 1 N
		9056-4M		3 1 1 G

審査請求 未請求 請求項の数2(全 5 頁) 最終頁に続く

(21)出願番号 特願平4-166672

(22)出願日 平成4年(1992)6月3日

(71)出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72)発明者 小川 康一

東京都八王子市石川町2951番地の5 カシ

オ計算機株式会社八王子研究所内

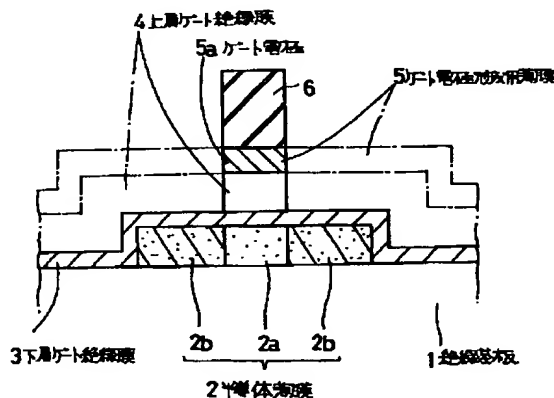
(74)代理人 弁理士 杉村 次郎

(54)【発明の名称】 薄膜トランジスタの製造方法

(57)【要約】

【目的】 ゲート絶縁膜の所定の部分の膜厚を制御性良くかつ容易に薄くし、またコンタクトホール形成を所期の通りかつ容易に行う。

【構成】 半導体薄膜2の上面全体に酸化シリコンからなる下層ゲート絶縁膜3、窒化シリコンからなる上層ゲート絶縁膜4およびゲート電極形成用薄膜5をこの順で堆積する。そして、フォトリソパターン6をマスクとしてドライエッチングによりゲート電極形成用薄膜5を除去し、次いで下層ゲート絶縁膜3をエッチングストップパとして、上層ゲート絶縁膜4のみを除去する。窒化シリコンからなる比較的厚いパッシベーション膜にドライエッチングによりコンタクトホールを形成する場合も、下層ゲート絶縁膜3をエッチングストップパとして、パッシベーション膜のみを除去する。比較的薄い下層ゲート絶縁膜3にコンタクトホールを形成する場合には、ウェットエッチングにより行なう。



【特許請求の範囲】

【請求項1】 半導体薄膜上に酸化シリコンからなる下層ゲート絶縁膜を形成し、該下層ゲート絶縁膜上に酸化シリコンとは異なる材料からなる上層ゲート絶縁膜を形成し、この後前記半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分の前記上層ゲート絶縁膜を前記下層ゲート絶縁膜をエッチングストップパとしてドライエッチングにより除去し、この後全上面にパッシベーション膜を形成し、該パッシベーション膜に前記下層ゲート絶縁膜をエッチングストップパとしてドライエッチングにより上部コンタクトホールを形成し、次いで前記下層ゲート絶縁膜にウエットエッチングにより下部コンタクトホールを形成することを特徴とする薄膜トランジスタの製造方法。

【請求項2】 前記下層ゲート絶縁膜の膜厚は200Å程度以下であり、前記上層ゲート絶縁膜の膜厚は1000～2000Å程度であることを特徴とする請求項1記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】セルフアライメント型の薄膜トランジスタを製造する場合、ポリシリコン等からなる半導体薄膜上にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲート電極を形成し、該ゲート電極をマスクとしてイオン注入装置により半導体薄膜に不純物を注入し、これによりゲート電極に対応する部分における半導体薄膜の中央部をチャネル領域とし、その両側を不純物注入領域からなるソース・ドレイン領域とし、次いで全上面にパッシベーション膜を形成し、該パッシベーション膜にコンタクトホールを形成し、該コンタクトホールにソース・ドレイン電極を形成している。

【0003】

【発明が解決しようとする課題】ところで、従来のこのような薄膜トランジスタの製造方法では、半導体薄膜上に形成されたゲート絶縁膜を介して不純物を注入しているので、不純物注入の加速エネルギーが高くなってしまふ。不純物を低加速エネルギーで注入するには、半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分のゲート絶縁膜の膜厚を薄くすることが考えられる。しかしながら、この場合、ゲート絶縁膜の膜厚をエッチングにより薄くすると、エッチング量の制御が極めて困難であるという問題がある。また、コンタクトホールをエッチングにより形成する場合、ウエットエッチングでは、エッチレートが遅くなるばかりでなく、サイドエッチによるホール径の広がりが生じるといふ問題があり、一方、ドライエッチングでは、半導体薄膜の表面にダメージを与えてしまうという問題がある。

この発明の目的は、半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分のゲート絶縁膜の膜厚を制御性良くかつ容易に薄くすることができ、またコンタクトホールの形成を所期の通りかつ容易に行うことのできる薄膜トランジスタの製造方法を提供することにある。

【0004】

【課題を解決するための手段】この発明は、半導体薄膜上に酸化シリコンからなる下層ゲート絶縁膜を形成し、該下層ゲート絶縁膜上に酸化シリコンとは異なる材料からなる上層ゲート絶縁膜を形成し、この後前記半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分の前記上層ゲート絶縁膜を前記下層ゲート絶縁膜をエッチングストップパとしてドライエッチングにより除去し、この後全上面にパッシベーション膜を形成し、該パッシベーション膜に前記下層ゲート絶縁膜をエッチングストップパとしてドライエッチングにより上部コンタクトホールを形成し、次いで前記下層ゲート絶縁膜にウエットエッチングにより下部コンタクトホールを形成するようにしたものである。

【0005】

【作用】この発明によれば、半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分のゲート絶縁膜の膜厚を薄くする際、半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分の上層ゲート絶縁膜のみを下層ゲート絶縁膜をエッチングストップパとしてドライエッチングにより除去し、下層ゲート絶縁膜をそのまま残すことができ、したがって半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分のゲート絶縁膜の膜厚を制御性良くかつ容易に薄くすることができる。また、コンタクトホールを形成する際、まず比較的厚いパッシベーション膜に下層ゲート絶縁膜をエッチングストップパとしてドライエッチングにより上部コンタクトホールを形成し、次いで比較的薄い下層ゲート絶縁膜にウエットエッチングにより下部コンタクトホールを形成しているため、コンタクトホールの形成を所期の通りかつ容易に行うことができる。

【0006】

【実施例】図1～図6はそれぞれこの発明の一実施例におけるセルフアライメント型の薄膜トランジスタの各製造工程を示したものである。そこで、これらの図を順に参照しながら、セルフアライメント型の薄膜トランジスタの製造方法について説明する。

【0007】まず、図1に示すように、ガラス等からなる絶縁基板1の上面にポリシリコン等からなる半導体薄膜2をパターン形成する。この場合、一例として、まず絶縁基板1の上面全体にプラズマCVDによりアモルファスシリコン薄膜を500Å程度の厚さに堆積し、次いでエキシマレーザを照射することにより、アモルファスシリコン薄膜を結晶化してポリシリコン薄膜とし、次い

3

でフォトリソグラフィ技術により不要部分のポリシリコン薄膜をエッチングして除去することにより、薄膜トランジスタ形成領域のみに半導体薄膜2をパターン形成する。次に、全上面にスパッタ装置により酸化シリコンからなる下層ゲート絶縁膜3を200Å程度以下の厚さに堆積する。次に、下層ゲート絶縁膜3の上面全体にプラズマCVDにより窒化シリコンからなる上層ゲート絶縁膜4を1000~2000Å程度の厚さに堆積する。次に、上層ゲート絶縁膜4の上面全体にスパッタ装置によりクロム等からなるゲート電極形成用薄膜5を500Å程度以下の厚さに堆積する。次に、半導体薄膜2の中央部(チャネル領域)に対応する部分のゲート電極形成用薄膜5の上面にフォトリソグラフィ技術によりフォトレジストパターン6を形成する。

【0008】次に、図2に示すように、フォトレジストパターン6をマスクとしてドライエッチングによりゲート電極形成用薄膜5を除去し、次いで同フォトレジストパターン6をマスクとしてドライエッチングにより上層ゲート絶縁膜4を除去する。上層ゲート絶縁膜4を除去する場合、例えば平行平板式プラズマエッチング装置を用い、圧力0.8 Torr、RF電力密度0.37 W/cm²、電極間隔5.5 mmの条件下でCF₄と5%のO₂との混合ガスでエッチングを行う。すると、ポリシリコンからなる半導体薄膜2に対する選択比は2程度しか得られないが、酸化シリコンからなる下層ゲート絶縁膜3に対しては30以上の高い選択比が得られるので、下層ゲート絶縁膜3をエッチングストップとして、半導体薄膜2にダメージを与えることなく、上層ゲート絶縁膜4のみを容易にエッチングして除去することができる。そして、この状態では、半導体薄膜2を含む絶縁基板1の全上面に下層ゲート絶縁膜3がそのまま残存し、半導体薄膜2の中央部(チャネル領域)に対応する部分の下層ゲート絶縁膜3の上面にのみ上層ゲート絶縁膜4が残存し、この残存した上層ゲート絶縁膜4の上面にのみゲート電極形成用薄膜5が残存し、この残存しているゲート電極形成用薄膜5によってゲート電極5aが形成されている。

【0009】次に、フォトレジストパターン6をマスクとしてイオン注入装置により半導体薄膜2に不純物を注入し、半導体薄膜2のチャネル領域2aの両側にソース・ドレイン領域2bを形成する。この場合、半導体薄膜2のチャネル領域2aの両側のソース・ドレイン領域2bとなる部分の上面には膜厚200Å程度以下の酸化シリコンからなる下層ゲート絶縁膜3のみが形成されているので、不純物としてリンイオンを注入するとすると、30 keV程度の低加速エネルギーで注入することができ、したがってイオン注入装置のコストを低減することができ、また半導体薄膜2に与えるダメージを小さくすることができる。次に、エキシマレーザを照射し、注入した不純物を活性化する。この後、フォトレジストパタ

4

ーン6を除去する。なお、不純物を注入する前にフォトレジストパターン6を除去し、ゲート電極5aをマスクとして不純物を注入するようにしてもよい。

【0010】次に、図3に示すように、全上面にプラズマCVD法により窒化シリコンからなるパッシベーション膜7を3000Å程度の厚さに堆積する。この場合、半導体薄膜2の表面を覆っている下層ゲート絶縁膜3の上面にパッシベーション膜7を形成することになるので、下層ゲート絶縁膜3および上層ゲート絶縁膜4からなるゲート絶縁膜の絶縁耐圧が低下しないようにすることができる。次に、半導体薄膜2のソース・ドレイン領域2bに対応する部分を除くパッシベーション膜7の上面にフォトリソグラフィ技術によりフォトレジストパターン8を形成する。

【0011】次に、図4に示すように、フォトレジストパターン8をマスクとしてドライエッチングによりパッシベーション膜7を除去して上部コンタクトホール9を形成する。この場合、図2に示す製造工程において上層ゲート絶縁膜4をプラズマエッチングした場合と同様の条件でプラズマエッチングを行うと、ポリシリコンからなる半導体薄膜2に対する選択比は2程度しか得られないが、酸化シリコンからなる下層ゲート絶縁膜3に対しては30以上の高い選択比が得られるので、下層ゲート絶縁膜3をエッチングストップとして、半導体薄膜2にダメージを与えることなく、パッシベーション膜7のみを容易にエッチングして除去することができる。

【0012】次に、図5に示すように、フォトレジストパターン8をマスクとしてウェットエッチングにより下層ゲート絶縁膜3を除去して下部コンタクトホール10を形成する。この場合、例えばバッファードフッ酸溶液にてエッチングを行うと、酸化シリコンからなる下層ゲート絶縁膜3の膜厚が200Å程度以下と薄いので、サイドエッチがほとんど進行せず、また半導体薄膜2にダメージを与えることなく、下部コンタクトホール10を所期の通りかつ容易に形成することができる。そして、この状態では、半導体薄膜2のソース・ドレイン領域2bに対応する部分におけるパッシベーション膜7および下層ゲート絶縁膜3にコンタクトホール9、10が形成される。この後、フォトレジストパターン8を除去する。次に、図6に示すように、コンタクトホール9、10およびパッシベーション膜7の上面の所定の個所にスパッタ装置によりアルミニウム等からなるソース・ドレイン電極11を5000Å程度の厚さにパターン形成し、ソース・ドレイン領域2bと接続させる。かくして、セルフアライメント型の薄膜トランジスタが製造される。

【0013】

【発明の効果】以上説明したように、この発明によれば、半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分のゲート絶縁膜の膜厚を薄くする

10

20

30

40

50

5

際、半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分の上層ゲート絶縁膜のみを下層ゲート絶縁膜をエッチングストップとしてドライエッチングにより除去し、下層ゲート絶縁膜をそのまま残すことができるので、半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分のゲート絶縁膜の膜厚を制御性良くかつ容易に薄くすることができる。また、コンタクトホールを形成する際、まず比較的厚いパッシベーション膜に下層ゲート絶縁膜をエッチングストップとしてドライエッチングにより上部コンタクトホールを形成し、次いで比較的薄い下層ゲート絶縁膜にウエットエッチングにより下部コンタクトホールを形成しているので、コンタクトホールの形成を所期の通りかつ容易に行うことができる。

【図面の簡単な説明】

【図1】この発明の一実施例における薄膜トランジスタの製造に際し、絶縁基板上に半導体薄膜、下層ゲート絶縁膜、上層ゲート絶縁膜、ゲート電極形成用薄膜およびフォトレジストパターンを形成した状態の断面図。

【図2】同薄膜トランジスタの製造に際し、フォトレジストパターンをマスクとしてゲート電極形成用薄膜および上層ゲート絶縁膜をエッチングして除去した後、半導

6

体薄膜に不純物を注入した状態の断面図。

【図3】同薄膜トランジスタの製造に際し、パッシベーション膜およびフォトレジストパターンを形成した状態の断面図。

【図4】同薄膜トランジスタの製造に際し、フォトレジストパターンをマスクとしてパッシベーション膜に上部コンタクトホールを形成した状態の断面図。

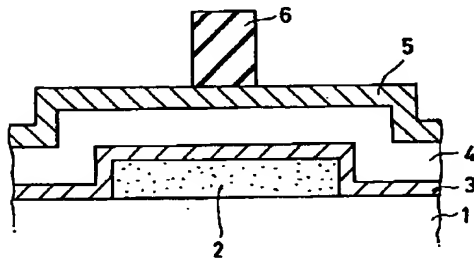
【図5】同薄膜トランジスタの製造に際し、フォトレジストパターンをマスクとして下層ゲート絶縁膜に下部コンタクトホールを形成した状態の断面図。

【図6】同薄膜トランジスタの製造に際し、ソース・ドレイン電極を形成した状態の断面図。

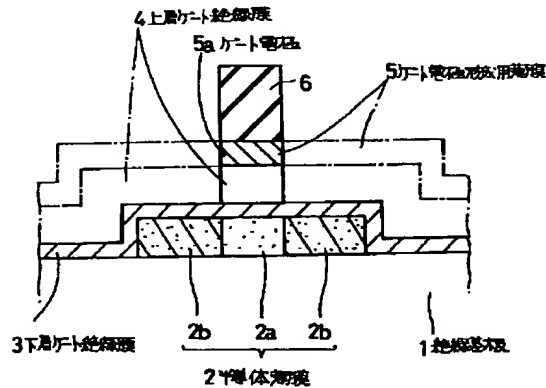
【符号の説明】

- 1 絶縁基板
- 2 半導体薄膜
- 3 下層ゲート絶縁膜
- 4 上層ゲート絶縁膜
- 5 ゲート電極形成用薄膜
- 5a ゲート電極
- 7 パッシベーション膜
- 9 上部コンタクトホール
- 10 下部コンタクトホール

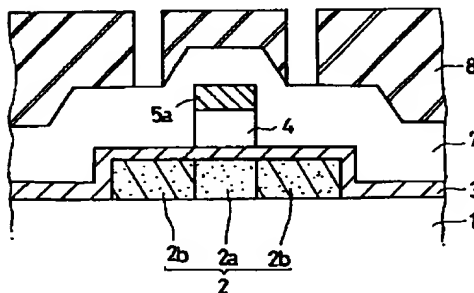
【図1】



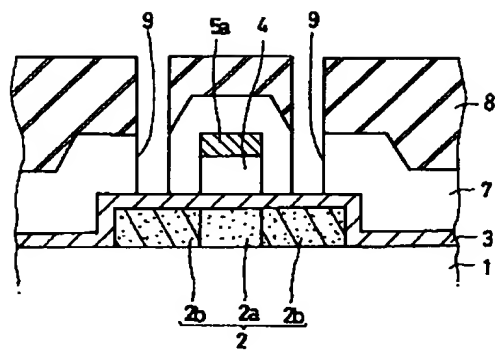
【図2】



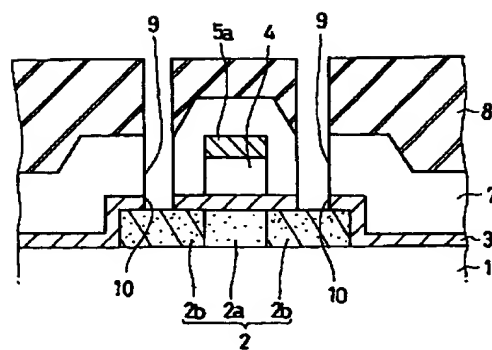
【図3】



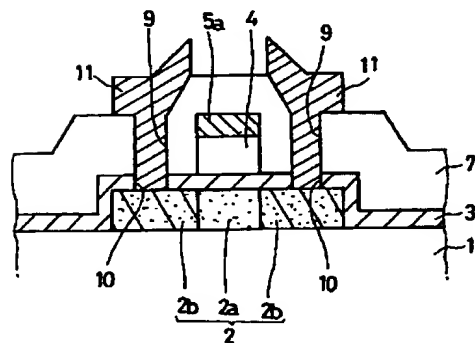
【図4】



【図5】



【図6】



フロントページの続き

(51)Int. Cl.⁵

// H01L 21/314
21/318

識別記号

庁内整理番号

M 7352-4M
B 7352-4M

F I

技術表示箇所

CLIPPEDIMAGE= JP405335578A

PAT-NO: JP405335578A

DOCUMENT-IDENTIFIER: JP 05335578 A

TITLE: MANUFACTURE OF THIN FILM TRANSISTOR

PUBN-DATE: December 17, 1993

INVENTOR-INFORMATION:

NAME

OGAWA, KOICHI

ASSIGNEE-INFORMATION:

NAME

CASIO COMPUT CO LTD

COUNTRY

N/A

APPL-NO: JP04166672

APPL-DATE: June 3, 1992

INT-CL (IPC): H01L029/784;H01L021/28 ;H01L029/40 ;H01L021/314
;H01L021/318

US-CL-CURRENT: 257/411

ABSTRACT:

PURPOSE: To thin the thickness in a specified section of a gate insulating film excellently in controllability and easily, and form a contact hole easily as expected.

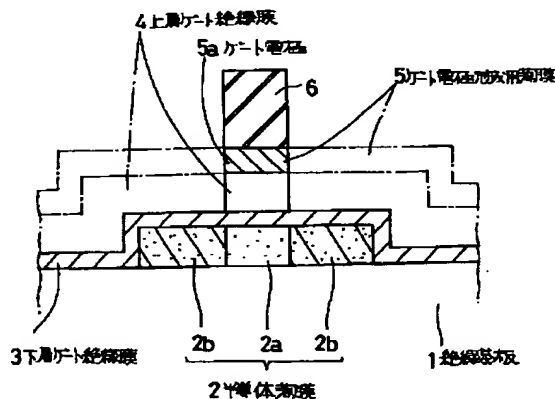
CONSTITUTION: A lower-layer gate insulating film 3 consisting of a silicon oxide, an upper gate insulating film 4 consisting of silicon nitride, and thin a film 5 for formation of a gate electrode are stacked in this order all over a semiconductor film 2. And, with a photoresist pattern 6 as a mask, the film 5 for formation of a gate electrode is removed by dry etching, and next, with the lower-layer gate insulating film 3 as an etching stopper, only the upper-layer gate insulating film 4 is removed. Also in case of forming a contact hole in a relatively thick passivation film consisting of silicon nitride by dry etching,

only the passivation film is removed, with the lower-layer gate insulating film 3 as an etching stopper. In case of forming a contact hole in the relatively thin lower layer gate insulating film 3, it is performed by wet etching.

COPYRIGHT: (C)1993,JPO&Japio

(11)特許出願公開番号

(43)公開日 平成5年(1993)12月17日



1

【特許請求の範囲】

【請求項1】 半導体薄膜上に酸化シリコンからなる下層ゲート絶縁膜を形成し、該下層ゲート絶縁膜上に酸化シリコンとは異なる材料からなる上層ゲート絶縁膜を形成し、この後前記半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分の前記上層ゲート絶縁膜を前記下層ゲート絶縁膜をエッチングストップパとしてドライエッチングにより除去し、この後全上面にパッシベーション膜を形成し、該パッシベーション膜に前記下層ゲート絶縁膜をエッチングストップパとしてドライエッチングにより上部コンタクトホールを形成し、次いで前記下層ゲート絶縁膜にウエットエッチングにより下部コンタクトホールを形成することを特徴とする薄膜トランジスタの製造方法。

【請求項2】 前記下層ゲート絶縁膜の膜厚は200Å程度以下であり、前記上層ゲート絶縁膜の膜厚は1000～2000Å程度であることを特徴とする請求項1記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】セルフアライメント型の薄膜トランジスタを製造する場合、ポリシリコン等からなる半導体薄膜上にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲート電極を形成し、該ゲート電極をマスクとしてイオン注入装置により半導体薄膜に不純物を注入し、これによりゲート電極に対応する部分における半導体薄膜の中央部をチャネル領域とし、その両側を不純物注入領域からなるソース・ドレイン領域とし、次いで全上面にパッシベーション膜を形成し、該パッシベーション膜にコンタクトホールを形成し、該コンタクトホールにソース・ドレイン電極を形成している。

【0003】

【発明が解決しようとする課題】ところで、従来のこのような薄膜トランジスタの製造方法では、半導体薄膜上に形成されたゲート絶縁膜を介して不純物を注入しているので、不純物注入の加速エネルギーが高くなってしまふ。不純物を低加速エネルギーで注入するには、半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分のゲート絶縁膜の膜厚を薄くすることが考えられる。しかしながら、この場合、ゲート絶縁膜の膜厚をエッチングにより薄くするとすると、エッチング量の制御が極めて困難であるという問題がある。また、コンタクトホールをエッチングにより形成する場合、ウエットエッチングでは、エッチレートが遅くなるばかりでなく、サイドエッチによるホール径の広がりが生じるといふ問題があり、一方、ドライエッチングでは、半導体薄膜の表面にダメージを与えてしまうという問題がある。

2

この発明の目的は、半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分のゲート絶縁膜の膜厚を制御性良くかつ容易に薄くすることができ、またコンタクトホールの形成を所期の通りかつ容易に行うことのできる薄膜トランジスタの製造方法を提供することにある。

【0004】

【課題を解決するための手段】この発明は、半導体薄膜上に酸化シリコンからなる下層ゲート絶縁膜を形成し、該下層ゲート絶縁膜上に酸化シリコンとは異なる材料からなる上層ゲート絶縁膜を形成し、この後前記半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分の前記上層ゲート絶縁膜を前記下層ゲート絶縁膜をエッチングストップパとしてドライエッチングにより除去し、この後全上面にパッシベーション膜を形成し、該パッシベーション膜に前記下層ゲート絶縁膜をエッチングストップパとしてドライエッチングにより上部コンタクトホールを形成し、次いで前記下層ゲート絶縁膜にウエットエッチングにより下部コンタクトホールを形成するようにしたものである。

【0005】

【作用】この発明によれば、半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分のゲート絶縁膜の膜厚を薄くする際、半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分の上層ゲート絶縁膜のみを下層ゲート絶縁膜をエッチングストップパとしてドライエッチングにより除去し、下層ゲート絶縁膜をそのまま残すことができ、したがって半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分のゲート絶縁膜の膜厚を制御性良くかつ容易に薄くすることができる。また、コンタクトホールを形成する際、まず比較的厚いパッシベーション膜に下層ゲート絶縁膜をエッチングストップパとしてドライエッチングにより上部コンタクトホールを形成し、次いで比較的薄い下層ゲート絶縁膜にウエットエッチングにより下部コンタクトホールを形成しているため、コンタクトホールの形成を所期の通りかつ容易に行うことができる。

【0006】

【実施例】図1～図6はそれぞれこの発明の一実施例におけるセルフアライメント型の薄膜トランジスタの各製造工程を示したものである。そこで、これらの図を順に参照しながら、セルフアライメント型の薄膜トランジスタの製造方法について説明する。

【0007】まず、図1に示すように、ガラス等からなる絶縁基板1の上面にポリシリコン等からなる半導体薄膜2をパターン形成する。この場合、一例として、まず絶縁基板1の上面全体にプラズマCVDによりアモルファスシリコン薄膜を500Å程度の厚さに堆積し、次いでエキシマレーザを照射することにより、アモルファスシリコン薄膜を結晶化してポリシリコン薄膜とし、次い

3

でフォトリソグラフィ技術により不要な部分のポリシリコン薄膜をエッチングして除去することにより、薄膜トランジスタ形成領域のみに半導体薄膜2をパターン形成する。次に、全上面にスパッタ装置により酸化シリコンからなる下層ゲート絶縁膜3を200Å程度以下の厚さに堆積する。次に、下層ゲート絶縁膜3の上面全体にプラズマCVDにより窒化シリコンからなる上層ゲート絶縁膜4を1000~2000Å程度の厚さに堆積する。次に、上層ゲート絶縁膜4の上面全体にスパッタ装置によりクロム等からなるゲート電極形成用薄膜5を500Å程度10の厚さに堆積する。次に、半導体薄膜2の中央部(チャネル領域)に対応する部分のゲート電極形成用薄膜5の上面にフォトリソグラフィ技術によりフォトレジストパターン6を形成する。

【0008】次に、図2に示すように、フォトレジストパターン6をマスクとしてドライエッチングによりゲート電極形成用薄膜5を除去し、次いで同フォトレジストパターン6をマスクとしてドライエッチングにより上層ゲート絶縁膜4を除去する。上層ゲート絶縁膜4を除去する場合、例えば平行平板式プラズマエッチング装置を用い、圧力0.8 Torr、RF電力密度0.37 W/cm²、電極間隔55 mmの条件下でCF₄と5%のO₂との混合ガスでエッチングを行う。すると、ポリシリコンからなる半導体薄膜2に対する選択比は2程度しか得られないが、酸化シリコンからなる下層ゲート絶縁膜3に対しては30以上の高い選択比が得られるので、下層ゲート絶縁膜3をエッチングストップとして、半導体薄膜2にダメージを与えることなく、上層ゲート絶縁膜4のみを容易にエッチングして除去することができる。そして、この状態では、半導体薄膜2を含む絶縁基板1の全上面に下層ゲート絶縁膜3がそのまま残存し、半導体薄膜2の中央部(チャネル領域)に対応する部分の下層ゲート絶縁膜3の上面にのみ上層ゲート絶縁膜4が残存し、この残存した上層ゲート絶縁膜4の上面にのみゲート電極形成用薄膜5が残存し、この残存しているゲート電極形成用薄膜5によってゲート電極5aが形成されている。

【0009】次に、フォトレジストパターン6をマスクとしてイオン注入装置により半導体薄膜2に不純物を注入し、半導体薄膜2のチャネル領域2aの両側にソース・ドレイン領域2bを形成する。この場合、半導体薄膜2のチャネル領域2aの両側のソース・ドレイン領域2bとなる部分の上面には膜厚200Å程度以下の酸化シリコンからなる下層ゲート絶縁膜3のみが形成されているので、不純物としてリンイオンを注入するとすると、30 keV程度の低加速エネルギーで注入することができ、したがってイオン注入装置のコストを低減することができ、また半導体薄膜2に与えるダメージを小さくすることができる。次に、エキシマレーザを照射し、注入した不純物を活性化させる。その後、フォトレジストパタ

4

ーン6を除去する。なお、不純物を注入する前にフォトレジストパターン6を除去し、ゲート電極5aをマスクとして不純物を注入するようにしてもよい。

【0010】次に、図3に示すように、全上面にプラズマCVD法により窒化シリコンからなるパッシベーション膜7を3000Å程度の厚さに堆積する。この場合、半導体薄膜2の表面を覆っている下層ゲート絶縁膜3の上面にパッシベーション膜7を形成することになるので、下層ゲート絶縁膜3および上層ゲート絶縁膜4からなるゲート絶縁膜の絶縁耐圧が低下しないようにすることができる。次に、半導体薄膜2のソース・ドレイン領域2bに対応する部分を除くパッシベーション膜7の上面にフォトリソグラフィ技術によりフォトレジストパターン8を形成する。

【0011】次に、図4に示すように、フォトレジストパターン8をマスクとしてドライエッチングによりパッシベーション膜7を除去して上部コンタクトホール9を形成する。この場合、図2に示す製造工程において上層ゲート絶縁膜4をプラズマエッチングした場合と同様の条件でプラズマエッチングを行うと、ポリシリコンからなる半導体薄膜2に対する選択比は2程度しか得られないが、酸化シリコンからなる下層ゲート絶縁膜3に対しては30以上の高い選択比が得られるので、下層ゲート絶縁膜3をエッチングストップとして、半導体薄膜2にダメージを与えることなく、パッシベーション膜7のみを容易にエッチングして除去することができる。

【0012】次に、図5に示すように、フォトレジストパターン8をマスクとしてウエットエッチングにより下層ゲート絶縁膜3を除去して下部コンタクトホール10を形成する。この場合、例えばバッファードフッ酸溶液にてエッチングを行うと、酸化シリコンからなる下層ゲート絶縁膜3の膜厚が200Å程度以下と薄いので、サイドエッチがほとんど進行せず、また半導体薄膜2にダメージを与えることなく、下部コンタクトホール10を所期の通りかつ容易に形成することができる。そして、この状態では、半導体薄膜2のソース・ドレイン領域2bに対応する部分におけるパッシベーション膜7および下層ゲート絶縁膜3にコンタクトホール9、10が形成される。この後、フォトレジストパターン8を除去する。次に、図6に示すように、コンタクトホール9、10およびパッシベーション膜7の上面の所定の個所にスパッタ装置によりアルミニウム等からなるソース・ドレイン電極11を5000Å程度の厚さにパターン形成し、ソース・ドレイン領域2bと接続させる。かくして、セルフアライメント型の薄膜トランジスタが製造される。

【0013】

【発明の効果】以上説明したように、この発明によれば、半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分のゲート絶縁膜の膜厚を薄くする

5

際、半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分の上層ゲート絶縁膜のみを下層ゲート絶縁膜をエッチングストップとしてドライエッチングにより除去し、下層ゲート絶縁膜をそのまま残すことができるので、半導体薄膜のうちソース・ドレイン領域を形成すべき部分に対応する部分のゲート絶縁膜の膜厚を制御性良くかつ容易に薄くすることができる。また、コンタクトホールを形成する際、まず比較的厚いパッシベーション膜に下層ゲート絶縁膜をエッチングストップとしてドライエッチングにより上部コンタクトホールを形成し、次いで比較的薄い下層ゲート絶縁膜にウェットエッチングにより下部コンタクトホールを形成している

【図面の簡単な説明】

【図1】この発明の一実施例における薄膜トランジスタの製造に際し、絶縁基板上に半導体薄膜、下層ゲート絶縁膜、上層ゲート絶縁膜、ゲート電極形成用薄膜およびフォトリソパターンを形成した状態の断面図。

【図2】同薄膜トランジスタの製造に際し、フォトリソパターンをマスクとしてゲート電極形成用薄膜および上層ゲート絶縁膜をエッチングして除去した後、半導

10

体薄膜に不純物を注入した状態の断面図。

【図3】同薄膜トランジスタの製造に際し、パッシベーション膜およびフォトリソパターンを形成した状態の断面図。

【図4】同薄膜トランジスタの製造に際し、フォトリソパターンをマスクとしてパッシベーション膜に上部コンタクトホールを形成した状態の断面図。

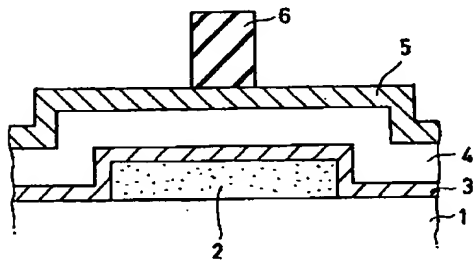
【図5】同薄膜トランジスタの製造に際し、フォトリソパターンをマスクとして下層ゲート絶縁膜に下部コンタクトホールを形成した状態の断面図。

【図6】同薄膜トランジスタの製造に際し、ソース・ドレイン電極を形成した状態の断面図。

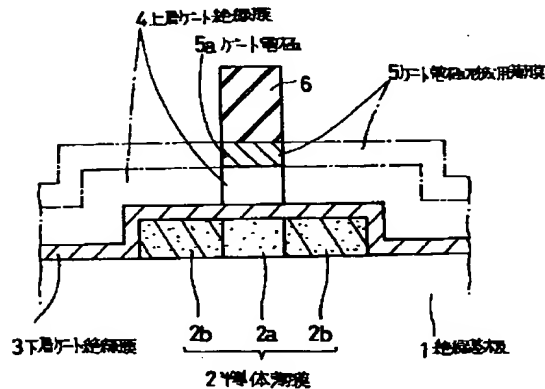
【符号の説明】

- 1 絶縁基板
- 2 半導体薄膜
- 3 下層ゲート絶縁膜
- 4 上層ゲート絶縁膜
- 5 ゲート電極形成用薄膜
- 5a ゲート電極
- 7 パッシベーション膜
- 9 上部コンタクトホール
- 10 下部コンタクトホール

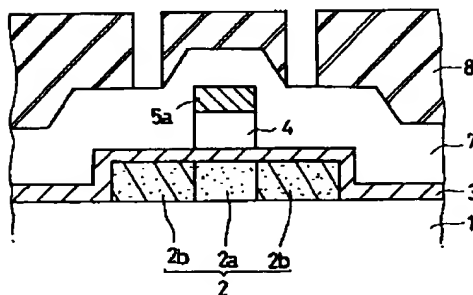
【図1】



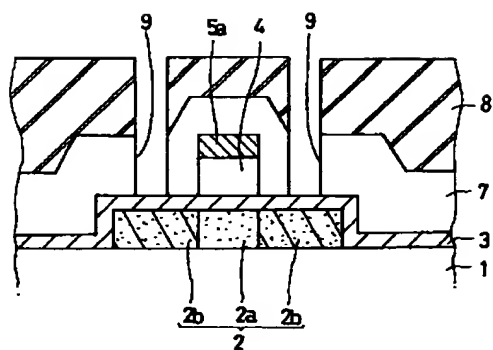
【図2】



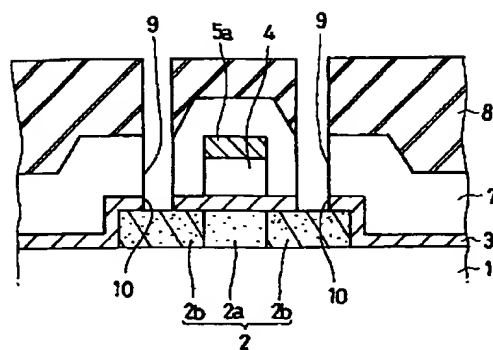
【図3】



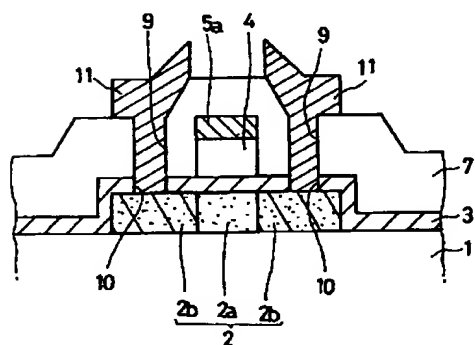
【図4】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.⁵

// H 0 1 L 21/314

21/318

識別記号

片内整理番号

M 7352-4M

B 7352-4M

F I

技術表示箇所



Japanese Patent Laid-Open Publication No. Hei 5-335578

Date of Laid-Open: December 17, 1993

Japanese Patent Application No. Hei 4-166672

Filed Date: June 3, 1992

5 Inventor: Koichi Ogawa

Applicant: CASIO COMPT Co. Ltd.

[Title of the Invention] METHOD FOR MANUFACTURING THIN FILM
TRANSISTOR

10 [Abstract]

[Object] The object of the present invention is to provide a method for manufacturing thin film transistors, by which a film thickness at a specified portion of a gate insulating film can be easily reduced with excellent controllability, and a contact hole can be easily formed as expected.

15 [Structure] A lower-layer gate insulating film 3 consisting of silicon oxide, an upper-layer gate insulating film 4 consisting of silicon nitride, and a thin film 5 for forming a gate electrode are deposited over the whole upper surface of a semiconductor thin film 2 in this order. The thin film 5 for forming a gate electrode is removed by dry etching using a photoresist pattern 6 as a mask. Next, only the upper-layer gate insulating film 4 is
20 removed using the lower-layer gate insulating film 3 as an etching stopper. When a contact hole is formed in a relatively thick passivation film consisting of silicon nitride by dry etching also, only the passivation film is removed using the lower-layer gate insulating film 3 as an etching stopper. When a contact hole is formed in the relatively thin lower-layer gate insulating film 3, wet etching is employed.

25 [What is Claimed is]

[Claim 1] A method for manufacturing thin film transistors, comprising the steps of:

forming a lower-layer gate insulating film consisting of silicon oxide on a semiconductor thin film;

5 forming an upper-layer gate insulating film consisting of material other than silicon oxide on the lower-layer gate insulating film;

then, removing said upper-layer gate insulating film at a portion corresponding to the portion, where a source-drain region is to be formed in said semiconductor thin film, by dry etching using said lower-layer gate insulating film as an etching stopper;

10 next, forming a passivation film over the whole surface;

forming an upper contact hole in the passivation film by dry etching using said lower-layer gate insulating film as an etching stopper; and

next, forming a lower contact hole in said lower-layer gate insulating film by wet etching.

15 [Claim 2] The method for manufacturing thin film transistors according to claim 1, wherein said lower-layer gate insulating film has a film thickness of about 200 Å or less, and wherein said upper-layer gate insulating film has a film thickness of about 1000 to 2000 Å.

[Detailed Description of the Invention]

20 [0001]

[Field of the Invention]

The present invention relates to a method for manufacturing thin film transistors.

[0002]

[Description of the Related Art]

25 When self-alignment type thin film transistors are manufactured, a gate insulating

film is formed on a semiconductor thin film consisting of polysilicon or the like, and a gate electrode is formed on the gate insulating film, and an impurity is implanted to the semiconductor thin film with an ion implantation apparatus using the gate electrode as a mask, so that a central part of the semiconductor thin film at the portion corresponding to the gate electrode becomes a channel region, and both sides of the channel region become source-drain regions consisting of impurity added regions, and then a passivation film is formed over the whole surface, and then a contact hole is formed in the passivation film, and then a source-drain electrode is formed on the contact hole.

[0003]

[Problems to be Solved by the Invention]

In such a conventional method for manufacturing thin film transistors, because an impurity is added through a gate insulating film formed on a semiconductor thin film, acceleration energy for adding the impurity becomes high. In order to add the impurity with low acceleration energy, reduction of the thickness of the gate insulating film at the portion corresponding to the portion, where a source-drain region has to be formed in the semiconductor thin film, is considered effective. However, in this case, when the thickness of the gate insulating film is reduced by etching, there is such a problem that control of an etching amount is very difficult. In addition, when a contact hole is formed by etching, wet etching causes such problems that the etching rate becomes slow, and further, a hole diameter is enlarged by side etching. On the other hand, dry etching causes such a problem that a surface of a semiconductor thin film is damaged. The object of the present invention is to provide a method for manufacturing thin film transistors by which the film thickness of the gate insulating film at the portion corresponding to the portion of the semiconductor thin film, where a source-drain region must be formed, can be easily reduced with excellent controllability, and a contact hole as designed can be easily formed.

[0004]

[Method for Solving the Problems]

The present invention is a method comprising the steps of forming a lower-layer gate insulating film consisting of silicon oxide on a semiconductor thin film; forming an upper-layer gate insulating film consisting of material other than silicon oxide on the lower-layer gate insulating film; and then removing said upper-layer gate insulating film at the portion corresponding to the portion, where a source-drain region must be formed in said semiconductor thin film, by dry etching using said lower-layer gate insulating film as an etching stopper; and then forming a passivation film over the whole surface; forming an upper contact hole in the passivation film by dry etching using said lower-layer gate insulating film as an etching stopper; and then forming a lower contact hole in said lower-layer gate insulating film by wet etching.

[0005]

[Functions]

According to the present invention, when the film thickness of the gate insulating film at a portion corresponding to the portion, where a source-drain region must be formed in the semiconductor thin film, is reduced, only the upper-layer gate insulating film at the portion corresponding to the portion, where the source-drain region must be formed in the semiconductor thin film, is removed by dry etching using the lower-layer gate insulating film as an etching stopper with the lower-layer gate insulating film left as it is. Therefore, the film thickness of the gate insulating film at a specified portion corresponding to the portion, where a source-drain region must be formed in the semiconductor thin film, can be easily reduced with excellent controllability. In addition, when a contact hole is formed, because an upper contact hole is first formed in the relatively thick passivation film by dry etching using the lower-layer gate insulating film as an etching stopper, and then a lower

contact hole is formed in the relatively thin lower-layer gate insulating film by wet etching, the contact holes can be easily formed as designed.

[0006]

[Embodiment]

5 Figs. 1 to 6 show respective manufacturing processes for a self-alignment type thin film transistor in one example of the present invention. Now, the method for manufacturing a self-alignment type thin film transistor will be described with reference to these drawings in turn.

[0007]

10 First, as shown in Fig. 1, a pattern of a semiconductor thin film 2 consisting of polysilicon or the like is formed on an upper surface of an insulating substrate 1 consisting of glass or the like. In this case, as an example, an amorphous silicon thin film is first deposited over the entire surface of the insulating substrate 1 using plasma CVD so as to have a thickness of about 500 Å. Next, the amorphous silicon thin film is crystallized to a
15 polysilicon thin film by irradiating an excimer laser. Then, a pattern of the semiconductor thin film 2 is formed only on the region for forming the thin film transistor by removing unnecessary parts of the polysilicon thin film by etching using a photolithography technique. Next, a lower-layer gate insulating film 3 consisting of silicon oxide is deposited over the whole surface using a sputtering apparatus so as to have a thickness of
20 about 200 Å or less. Next, an upper-layer gate insulating film 4 consisting of silicon nitride is deposited over the whole upper surface of the lower-layer gate insulating film 3 by plasma CVD so as to have a thickness of about 1000 to 2000 Å. Next, a thin film 5 for forming a gate electrode comprising chromium or the like is deposited over the whole upper surface of the upper-layer gate insulating film 4 using a sputtering apparatus so as to
25 have a thickness of about 500 Å. Next, a photoresist pattern is formed on the upper

surface of the thin film 5 for forming a gate electrode at the portion corresponding to the central part (channel region) of the semiconductor thin film 2 by a photolithography technique.

[0008]

5 Next, as shown in Fig. 2, the thin film 5 for forming a gate electrode is removed by dry etching using the photoresist pattern 6 as a mask, and then the upper-layer gate insulating film 4 is removed by dry etching using the same photoresist pattern 6 as a mask. When the upper-layer gate insulating film 4 is removed, for example, a parallel-plate plasma etching apparatus is used to carry out etching in a mixed gas of CF_4 and 5 % O_2 under the conditions such as a pressure of 0.8 Torr (107 Pa), an RF power density of 0.37 W/cm², an interelectrode distance of 55 mm. In this case, the selection ratio for the semiconductor thin film 2 made of polysilicon amounts to only about 2, but the selection ratio for the lower-layer gate insulating film 3 amounts to 30 or more. Therefore, it is easy to remove just the upper-layer gate insulating film 4 without damaging the semiconductor thin film 2 by etching using the lower-layer insulating film 3 as an etching stopper. Under such conditions, the lower-layer gate insulating film 3 is left as it is over the whole upper surface of the insulating substrate 1 including the semiconductor thin film 2, the upper-layer gate insulating film 4 is left only on the upper surface of the lower-layer gate insulating film 3 at the portion corresponding to the central part (channel region) of the semiconductor thin film 2, the thin film 5 for forming a gate electrode is left only on the upper surface of the left upper-layer gate insulating film 4, and a gate electrode 5a is formed by means of the left thin film 5 for forming a gate electrode.

[0009]

Next, an impurity is implanted to the semiconductor thin film 2 with an ion implantation apparatus using the photoresist pattern 6 as a mask, and a source-drain region

2b is formed at both sides of the channel region 2a of the semiconductor thin film 2. In this case, because only the lower-layer gate insulating film 3 made of silicon oxide having a thickness of about 200 Å or less is formed on the upper surface of the region, where the source-drain region 2b is to be formed on both sides of the channel region 2a of the semiconductor thin film 2, phosphorus ions can be implanted as an impurity with low acceleration energy of about 30 keV. Therefore, it is possible to reduce a cost of the ion implantation apparatus and the damage to the semiconductor thin film 2. Next, the added impurity is activated by irradiating excimer laser. And then, the photoresist pattern 6 is removed. In this case, it is possible to remove the photoresist pattern 6 before adding an impurity, and then to add the impurity using the gate electrode 5a as a mask.

[0010]

Next, as shown in Fig. 3, a passivation film 7 consisting of silicon nitride is deposited over the whole upper surface by a plasma CVD method so as to have a thickness of about 3000 Å. In this case, because the passivation film 7 is formed on the upper surface of the lower-layer gate insulating film 3 covering the semiconductor thin film 2, it is possible to prevent a drop of the dielectric strength of a gate insulating film consisting of the lower-layer gate insulating film 3 and the upper-layer gate insulating film 4. Next, a photoresist pattern 8 is formed by a photolithography technique on the upper surface of the passivation film 7 except the portion corresponding to the source-drain region 2b of the semiconductor thin film 2.

[0011]

Next, as shown in Fig. 4, an upper contact hole 9 is formed by removing the passivation film 7 by dry etching using the photoresist pattern 8 as a mask. In this case, when the plasma etching is carried out under the same conditions as those of the plasma etching for the upper-layer gate insulating film 4 in the manufacturing process shown in

Fig. 2, the selection ratio for the semiconductor thin film 2 made of polysilicon amounts to only about 2, but the selection ratio for the lower-layer gate insulating film 3 amounts to 30 or more. Therefore, only the passivation film 7 can be easily removed by etching using the lower-layer insulating film 3 as an etching stopper without damaging the semiconductor thin film 2.

[0012]

Next, as shown in Fig. 5, the lower contact hole 10 is formed by removing the lower-layer gate insulating film 3 by wet etching using the photoresist pattern 8 as a mask. In this case, when the etching is carried out, for example, in buffered hydrofluoric acid solution, side etching progresses little, because a thickness of the lower-layer gate insulating film 3 consisting of silicon oxide is about 200 Å or less. Therefore, the lower contact hole 10 can be easily formed as expected without damaging the semiconductor thin film 2. Under such circumstances, the contact holes 9 and 10 are formed in the passivation film 7 and the lower-layer gate insulation film 3 at the portion corresponding to the source-drain region 2b of the semiconductor thin film 2. Then, the photoresist pattern 8 is removed. Next, as shown in Fig. 6, the source-drain electrode 11 made of aluminum or the like is formed as a pattern with a sputtering apparatus at the specified portion of the contact holes 9 and 10 and the upper surface of the passivation film 7 so as to have a thickness of about 5000 Å, and is connected with the source-drain region 2b. In this manner, a self-alignment type thin film transistor is manufactured.

[0013]

[Effects of the Invention]

As described above, according to the present invention, when the film thickness of the gate insulating film at the portion corresponding to the portion of the semiconductor thin film, where the source-drain region must be formed, is reduced, it is possible to

remove only the upper-layer gate insulating film at the portion corresponding to the portion of the semiconductor thin film, where the source-drain region is to be formed, by dry etching using the lower-layer gate insulating film as an etching stopper so as to leave the lower-layer gate insulating film as it is. Therefore, the film thickness of the gate insulating film at the portion corresponding to the portion of the semiconductor thin film, where the source-drain region must be formed, can be easily reduced with excellent controllability. In addition, when a contact hole is formed, first an upper contact hole is first formed in the relatively thick passivation film by dry etching using the lower-layer gate insulating film as an etching stopper, and then a lower contact hole is formed in the relatively thin lower-layer gate insulating film by wet etching. Therefore, the contact holes can be easily formed as designed.

[Brief Description of the Drawings]

[Fig. 1] Fig. 1 is a cross sectional view of a structure of a thin film transistor to be manufactured in an embodiment according to the present invention, wherein a semiconductor thin film, a lower-layer gate insulating film, an upper-layer gate insulating film, a thin film for forming a gate electrode, and a photoresist pattern are formed on an insulating substrate.

[Fig. 2] Fig. 2 is a cross sectional view of a structure of a thin film transistor to be manufactured in the embodiment shown in Fig. 1, wherein the thin film for forming a gate electrode and the upper-layer gate insulating film have been removed by etching using the photoresist pattern as a mask, and then an impurity has been implanted to the semiconductor thin film.

[Fig. 3] Fig. 3 is a cross sectional view of a structure of a thin film transistor to be manufactured in the embodiment shown in Fig. 1, wherein a passivation film and a photoresist pattern have been formed.

[Fig. 4] Fig. 4 is a cross sectional view of a structure of a thin film transistor to be manufactured in the embodiment shown in Fig. 1, wherein an upper contact hole has been formed in the passivation film using the photoresist pattern as a mask.

5 [Fig. 5] Fig. 5 is a cross sectional view of a structure of a thin film transistor to be manufactured in the embodiment shown in Fig. 1, wherein a lower contact hole has been formed in the lower-layer gate insulating film using the photoresist pattern as a mask.

[Fig. 6] Fig. 6 is a cross sectional view of a structure of a thin film transistor to be manufactured in the embodiment shown in Fig. 1, wherein a source-drain electrode has been formed.

10 [Description of Numerals in the Drawings]

1 Insulating substrate, 2 Semiconductor thin film, 3 Lower-layer gate insulating film,
4 Upper-layer gate insulating film, 5 Thin film for forming a gate electrode,
5a Gate electrode, 7 Passivation film, 9 Upper contact hole, 10 Lower contact hole.

15 [Fig. 1]

[Fig. 2] 1 Insulating substrate, 2 Semiconductor thin film,
3 Lower-layer gate insulating film, 4 Upper-layer gate insulating film,
5 Thin film for forming a gate electrode, 5a Gate electrode.

[Fig. 3] [Fig. 4] [Fig. 5] [Fig. 6]

* NOTICES *

JP - 5-335578

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the manufacture method of TFT.

[0002]

[Description of the Prior Art] When manufacturing self-alignment type TFT, a gate insulator layer is formed on the semiconductor thin film which consists of contest polysilicon etc. Form a gate electrode on this gate insulator layer, and an impurity is poured into a semiconductor thin film by the ion implantation equipment by using this gate electrode as a mask. The center section of the semiconductor thin film in the portion corresponding to a gate electrode is made into a channel field by this. The both sides are made into the source drain field which consists of an impurity pouring field, subsequently to all the upper surfaces a passivation film is formed, a contact hole is formed in this passivation film, and the source drain electrode is formed in this contact hole.

[0003]

[Problem(s) to be Solved by the Invention] By the way, by the manufacture method of such conventional TFT, since the impurity is poured in through the gate insulator layer formed on the semiconductor thin film, the acceleration energy of impurity pouring will become high. In order to pour in an impurity with low acceleration energy, it is possible to make thin thickness of the gate insulator layer of the portion corresponding to the portion which should form a source drain field among semiconductor thin films. However, supposing it makes thickness of a gate insulator layer thin by etching in this case, there is a problem that control of the amount of etching is very difficult. Moreover, when forming a contact hole by etching, at wet etching, there is [a dirty rate not only becomes late, but] a problem that the breadth of the diameter of a hole by side etch arises, and, on the other hand, there is a problem of giving a damage to the front face of a semiconductor thin film, by dry etching. The purpose of this invention can improve [a controllability] thin easily thickness of the gate insulator layer of the portion corresponding to the portion which should form a source drain field among semiconductor thin films, and is about formation of a contact hole to offer an expected passage and the manufacture method of TFT which can be performed easily.

[0004]

[Means for Solving the Problem] This invention forms the lower layer gate insulator layer which consists of a silicon oxide on a semiconductor thin film. The upper gate insulator layer which consists of a different material from a silicon oxide is formed on this lower layer gate insulator layer. Dry etching removes the aforementioned upper gate insulator layer of the portion corresponding to the portion which should form a source drain field among the aforementioned semiconductor thin films after this by using the aforementioned lower layer gate insulator layer as an etching stopper. Form a passivation film in all the upper surfaces after this, and an up contact hole is formed in this passivation film by dry etching by using the aforementioned lower layer gate insulator layer as an etching stopper. Subsequently, a lower contact hole is formed in the aforementioned lower layer gate insulator layer by wet etching.

[0005]

[Function] When thickness of the gate insulator layer of the portion corresponding to the portion which should form a source drain field among semiconductor thin films is made thin according to this invention, Dry etching removes only the upper gate insulator layer of the portion corresponding to the portion which should form a source drain field among semiconductor thin films by using a lower layer gate insulator layer as an etching stopper. A controllability can improve thin easily thickness of the gate insulator layer of the portion corresponding to the portion which can leave a lower layer gate insulator layer as it is, therefore should form a source drain field among semiconductor thin films. Moreover, since an up contact hole is formed by dry etching by using a lower layer gate insulator layer as an etching stopper at a first comparatively thick passivation film and the lower contact hole is formed in a subsequently comparatively thin lower layer gate insulator layer by wet etching in case a contact hole is formed, formation of a contact hole can be easily performed as it is expected.

[0006]

[Example] Drawing 1 - drawing 6 show each manufacturing process of the self-alignment type TFT in one example of this invention, respectively. Then, the manufacture method of self-alignment type TFT is explained, referring to these drawings in order.

[0007] First, as shown in drawing 1, pattern formation of the semiconductor thin film 2 which becomes the upper surface of an insulating substrate 1 which consists of glass etc. from contest polysilicon etc. is carried out. In this case, pattern formation of the semiconductor thin film 2 is carried out only to a TFT formation field by crystallizing an amorphous silicon thin film, considering

as a polysilicon contest thin film, *****ing and subsequently, removing the polysilicon contest thin film of an unnecessary portion with photolithography technology, by depositing an amorphous silicon thin film on the whole upper surface of an insulating substrate 1 by plasma CVD first at the thickness of about 500A, and subsequently irradiating an excimer laser as an example. Next, the lower layer gate insulator layer 3 which consists of a silicon oxide by the sputtering system is deposited on all the upper surfaces at the thickness of about 200A or less. Next, the upper gate insulator layer 4 which consists of a silicon nitride by plasma CVD is deposited on the whole upper surface of the lower layer gate insulator layer 3 at the thickness of about 1000-2000A. Next, the thin film 5 for gate electrode formation which consists of chromium etc. by the sputtering system is deposited on the whole upper surface of the upper gate insulator layer 4 at the thickness of about 5000A. Next, the photoresist pattern 6 is formed in the upper surface of the thin film 5 for gate electrode formation of the portion corresponding to the center section (channel field) of the semiconductor thin film 2 with photolithography technology.

[0008] Next, as shown in drawing 2, the photoresist pattern 6 is used as a mask, dry etching removes the thin film 5 for gate electrode formation, and, subsequently dry etching removes the upper gate insulator layer 4 by using this photoresist pattern 6 as a mask. When removing the upper gate insulator layer 4, it etches by CF₄ and 5% of mixed gas of O₂ using an parallel monotonous formula plasma etching system under pressure 0.8Torr, RF power-flux-density 0.37 W/cm², and conditions of 55mm of electrode spacings. Then, although the selection ratio to the semiconductor thin film 2 which consists of contest polysilicon is obtained about two, without giving a damage to the semiconductor thin film 2 by using the lower layer gate insulator layer 3 as an etching stopper, since 30 or more high selection ratios are obtained to the lower layer gate insulator layer 3 which consists of a silicon oxide, it *****s easily and it can remove only the upper gate insulator layer 4. And in this state, the lower layer gate insulator layer 3 remains as it is on all the upper surface of the insulating substrate 1 containing the semiconductor thin film 2. The upper gate insulator layer 4 remains only on the upper surface of the lower layer gate insulator layer 3 of the portion corresponding to the center section (channel field) of the semiconductor thin film 2. The thin film 5 for gate electrode formation remains only on the upper surface of this upper gate insulator layer 4 that remained, and gate electrode 5a is formed in it of this extant thin film 5 for gate electrode formation.

[0009] Next, an impurity is poured into the semiconductor thin film 2 by the ion implantation equipment by using the photoresist pattern 6 as a mask, and source drain field 2b is formed in the both sides of channel field 2a of the semiconductor thin film 2. In this case, since only the lower layer gate insulator layer 3 which consists of a silicon oxide of about 200A or less of thickness is formed in the upper surface of the portion used as source drain field 2b of the both sides of channel field 2a of the semiconductor thin film 2. Supposing it pours in phosphorus ion as an impurity, the damage which can pour in with the low acceleration energy of about 30 keVs, can reduce the cost of an ion implantation equipment, and is given to the semiconductor thin film 2 can be made small. Next, the impurity which irradiated the excimer laser and poured it in is activated. Then, the photoresist pattern 6 is removed. In addition, before pouring in an impurity, the photoresist pattern 6 is removed, and you may make it pour in an impurity by using gate electrode 5a as a mask.

[0010] Next, as shown in drawing 3, the passivation film 7 which consists of a silicon nitride by the plasma CVD method is deposited on all the upper surfaces at the thickness of about 3000A. In this case, since the passivation film 7 will be formed in the upper surface of the lower layer gate insulator layer 3 which is wearing the front face of the semiconductor thin film 2, the isolation voltage of the gate insulator layer which consists of a lower layer gate insulator layer 3 and an upper gate insulator layer 4 can be prevented from falling. Next, the photoresist pattern 8 is formed in the upper surface of the passivation film 7 except the portion corresponding to source drain field 2b of the semiconductor thin film 2 with photolithography technology.

[0011] Next, as shown in drawing 4, dry etching removes the passivation film 7 by using the photoresist pattern 8 as a mask, and the up contact hole 9 is formed. In this case, if plasma etching is performed on the same conditions as the case where plasma etching of the upper gate insulator layer 4 is carried out in the manufacturing process shown in drawing 2 Although the selection ratio to the semiconductor thin film 2 which consists of contest polysilicon is obtained about two, since 30 or more high selection ratios are obtained to the lower layer gate insulator layer 3 which consists of a silicon oxide Without giving a damage to the semiconductor thin film 2 by using the lower layer gate insulator layer 3 as an etching stopper, it *****s easily and only the passivation film 7 can be removed.

[0012] Next, as shown in drawing 5, wet etching removes the lower layer gate insulator layer 3 by using the photoresist pattern 8 as a mask, and the lower contact hole 10 is formed. Without side etch's hardly advancing and giving a damage to the semiconductor thin film 2, since the thickness of the lower layer gate insulator layer 3 which consists of a silicon oxide is as thin as about 200A or less when it etches with a buffered-fluoric-acid solution in this case, the lower contact hole 10 can be easily formed as it is expected. And contact holes 9 and 10 are formed in the passivation film 7 and the lower layer gate insulator layer 3 in the portion corresponding to source drain field 2b of the semiconductor thin film 2 in this state. Then, the photoresist pattern 8 is removed. Next, pattern formation of the source drain electrode 11 which becomes the predetermined part of the upper surface of contact holes 9 and 10 and the passivation film 7 from aluminum etc. by the sputtering system is carried out to the thickness of about 5000A, and it is made to connect with source drain field 2b, as shown in drawing 6. In this way, self-alignment type TFT is manufactured.

[0013]

[Effect of the Invention] As explained above, when thickness of the gate insulator layer of the portion corresponding to the portion which should form a source drain field among semiconductor thin films is made thin according to this invention, Dry etching removes only the upper gate insulator layer of the portion corresponding to the portion which should form a source drain field among semiconductor thin films by using a lower layer gate insulator layer as an etching stopper. Since it can leave a lower layer

gate insulator layer as it is, a controllability can improve thin easily thickness of the gate insulator layer of the portion corresponding to the portion which should form a source drain field among semiconductor thin films. Moreover, since an up contact hole is formed by dry etching by using a lower layer gate insulator layer as an etching stopper at a first comparatively thick passivation film and the lower contact hole is formed in a subsequently comparatively thin lower layer gate insulator layer by wet etching in case a contact hole is formed, formation of a contact hole can be easily performed as it is expected.

[Translation done.]